



**Lucent Technologies**  
Bell Labs Innovations



## **Bericht zum Fachpraktikum**

Entwurf, Herstellung und Charakterisierung von GaN/AlGaIn/GaN  
High Electron Mobility Transistoren für Leistungsanwendungen  
im GHz-Bereich

von

Thomas Wächtler  
TU Chemnitz, Fakultät für Elektrotechnik und Informationstechnik

durchgeführt

vom 1. Oktober 2002 bis 15. Juli 2003

bei

Lucent Technologies – Bell Labs  
Physical Sciences Research  
600 Mountain Avenue  
Murray Hill, NJ 07974, USA

Betreuer: Dr. Nils Weimann  
Dr. Michael Manfra

## Kurzfassung

Während des Fachpraktikums bei Lucent Technologies – Bell Laboratories, vom 1. Oktober 2002 bis 15. Juli 2003, wurden High Electron Mobility Transistoren, basierend auf dem Materialsystem GaN/AlGaIn/GaN entworfen, hergestellt und elektrisch charakterisiert. Für das Maskendesign kam hierbei das CAD-Programm LasiCAD zu Einsatz. Insgesamt wurden bis zu sechs Lithographieebenen benötigt.

Die Herstellung der Bauelemente geschah unter Reinraumbedingungen und unter Nutzung einer vorhandenen Technologie für Transistoren mit kleiner Peripherie (Doppelgate-Transistoren), die teilweise optimiert wurde. Außerdem wurden Prozesse zur Herstellung von Multifinger-HEMTs entwickelt, wobei die Metallisierung der Drainkontakte mittels Electroplating von Gold vorgenommen wurde.

Zu elektrischen Charakterisierung der Bauelemente wurden sowohl Gleichstromcharakteristiken, d.h. die Ausgangskennlinienfelder und Verläufe der Steilheit, als auch das Großsignalverhalten für cw-Operation bei 2 GHz gemessen. Dabei zeigten die Transistoren eine Ausgangsleistung von mehr als 8 W/mm und eine Effizienz größer als 40%, einhergehend mit vernachlässigbarer Drainstromdispersion der unpassivierten Bauelemente.

Während des Praktikums entstanden drei Veröffentlichungen.

# Inhaltsverzeichnis

1	Einführung .....	4
2	Bauelementeentwurf .....	6
2.1	Doppelgate-Transistoren .....	7
2.2	HEMTs mit großer Gateperipherie .....	8
3	Herstellungstechnologie .....	9
3.1	MBE-Wachstum der Heterostruktur .....	9
3.2	Definition der Transistormesas .....	11
3.3	Erzeugen der ohmschen Kontakte .....	12
3.4	Formation der Schottky-Gates .....	15
3.5	Lithographie und elektrochemisches Metallisieren der Luftbrücken .....	16
4	Elektrische Eigenschaften der Bauelemente .....	18
4.1	Gleichstromverhalten .....	18
4.2	Großsignalverhalten .....	21
5	Zusammenfassung und Dank .....	22
	Literaturverzeichnis .....	24

# 1 Einführung

Galliumnitrid (GaN) hat als Halbleitermaterial mit großem Bandabstand (3,42 eV) in den letzten Jahren zunehmend an Bedeutung gewonnen. Anfangs vor allem für optoelektronische Bauelemente eingesetzt, z.B. zur Herstellung blauer LEDs, wird dieses Material mehr und mehr auch für elektronische Bauelemente interessant.

Gruppe-III-Nitride kristallisieren im hexagonalen Wurtzitgitter (Bild 1), wobei für GaN ein Galliumgitter in z-Richtung um  $5/8 c$  gegen ein ebenso hexagonales Stickstoffgitter versetzt ist.

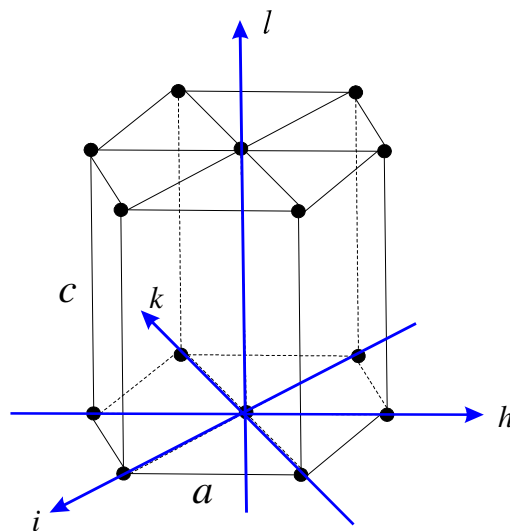


Bild 1: Elementarzelle des hexagonalen Gitters.

Aus diesem Grund kommt es an Grenzflächen, z.B. Heteroübergängen, zur Ausbildung von spontanen Polarisationsladungen. Des weiteren weisen die Nitride relativ starke piezoelektrische Eigenschaften auf, wobei die Piezokonstanten im Fall von GaN sechs- bis achtmal größer sind als beispielsweise für Galliumarsenid (GaAs) [1]. Werden pseudomorphe Heterostrukturen verschiedener Nitride, z.B.  $\text{Al}_x\text{Ga}_{(1-x)}\text{N}/\text{GaN}$ , erzeugt, was u.a. mittels metall-organischer chemischer Dampfphasenabscheidung (MOCVD) oder Molekularstrahlepitaxie (MBE) erfolgen kann, kommt es am verspannten Heteroübergang wegen der beschriebenen Polarisierungseffekte zur Ausbildung starker innerer elektrischer Felder. In der Folge werden nahe des Übergangs Influenzladungen,

d.h. frei bewegliche Elektronen, angereichert, die räumlich stark begrenzt sind und sich nur in einer Ebene parallel zum Heteroübergang bewegen können. Hieraus resultiert die Bezeichnung zweidimensionales Elektronengas (2DEG), wie es in Bild 2, welches die Bandstruktur eines solchen Materialstapels zeigt, dargestellt ist. Das 2DEG kann als leitender und steuerbarer Kanal eines Feldeffekttransistors dienen.

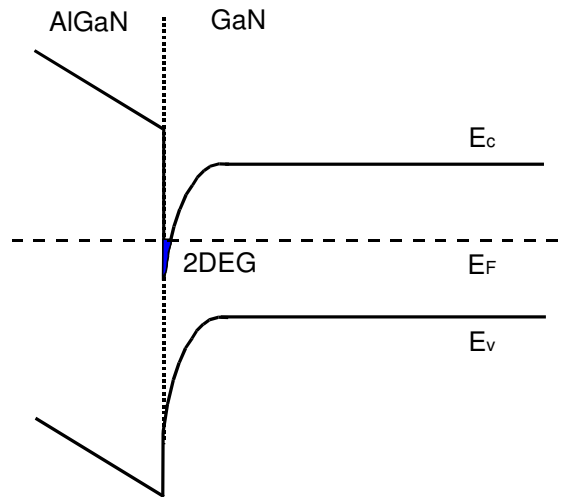


Bild 2: Bandstruktur des AlGaIn/GaN Heteroübergangs.

Solche Bauelemente werden üblicherweise als HFET (Heterostruktur-Feldeffekttransistor), MODFET (Modulation Doped FET) oder HEMT (High Electron Mobility Transistor) bezeichnet. Letztere Bezeichnung resultiert aus der Tatsache, dass im 2DEG weitaus höhere Ladungsträgerbeweglichkeiten erzielt werden als im jeweiligen Volumenmaterial. Tabelle 1 zeigt zum Vergleich auch die beobachteten Mobilitäten im AlGaAs/GaAs-System, sowie Elektronengeschwindigkeiten im 2DEG. Man sieht, dass die Ladungsträgerbeweglichkeit im System AlGaAs/GaAs diejenige des Materialsystems AlGaIn/GaN um ein Vielfaches übertrifft. Jedoch werden im letzteren Fall im 2DEG sehr viel höhere Driftgeschwindigkeiten erzielt, was Möglichkeiten zum Entwurf sehr schneller Transistoren eröffnet. Außerdem ergeben sich für dieses Material aufgrund der Piezopolarisation auch ohne explizite Dotierung schon akzeptable Flächenladungsdichten im 2DEG.

Zwei weitere wesentliche Gründe, GaN zur Herstellung von HEMTs zu wählen, ist seine hohe Bandlücke, die große Durchbruchfeldstärken zur Folge hat, was vor allem für Leistungsbaulemente von Wichtigkeit ist. In Kombination mit Siliziumkarbid (SiC) als

	$\mu_{\text{Bulk}}$ [cm <sup>2</sup> /Vs]	$\mu_{\text{2DEG}}$ [cm <sup>2</sup> /Vs]	$v_{\text{Peak}}$ [cm/s]
AlGaAs/GaAs (Ref. [2])	10.000 (bei 10K) $\leq 3.000$ (bei 300K)	1.000.000 (bei 10K) $\leq 6.000$ (bei 300K)	$5 \times 10^7$ (bei 77K)
AlGaN/GaN (Ref. [3], [4])	2.070 (HVPE, 115K) 780 (HVPE, 300K)	75.000 (bei 77K) $\leq 1.400$ (bei 300K)	$2 \dots 3 \times 10^7$ (bei 300K !)

Tabelle 1: Gegenüberstellung von Ladungsträgerbeweglichkeiten im Volumenmaterial und 2DEG, sowie Ladungsträgergeschwindigkeiten im 2DEG für die Materialsysteme AlGaAs/GaAs und AlGaN/GaN.

Substratmaterial, welches mit 4,9 W/cmK eine zehnmal größere Wärmeleitfähigkeit aufweist als beispielsweise Saphir, das ebenfalls als Substrat geeignet ist, ergibt sich die Möglichkeit, Leistungsbaulemente für den GHz-Bereich herzustellen. Solche Transistoren und auf diesen basierende Verstärker könnten künftig in Basisstationen für den Mobilfunkbereich, in der Satellitenkommunikation oder auch in Radarsystemen zum Einsatz kommen.

## 2 Bauelementeentwurf

Zum Entwurf der Lithographiemasken wurde das CAD-Programm LasiCAD (LAyout System for Individuals) [5] verwendet. Es handelt sich um ein allgemein zu verwendendes Layoutwerkzeug, mit dem aber auch elektronische Schaltkreise, beispielsweise CMOS-Logik, oder Schaltpläne erstellt werden können. U.a. weil es sich um frei verfügbare Software handelt und nicht zur Erstellung komplexer technischer Zeichnungen gedacht ist, ist sein Funktionsumfang nicht vergleichbar mit dem von kommerziellen Programmen wie z.B. AutoCAD.

Das System erlaubt es, die erstellten Bildelemente zu Zellen zu gruppieren und verschiedenen Ebenen (Layers) zuzuordnen, die aber nicht notwendigerweise den Lithographieebenen entsprechen müssen. Das Zellkonzept ist besonders dann von Vorteil, wenn sich Strukturen wiederholen, was in diesem Fall unter anderem dazu

genutzt wurde, einzelne Bauelemente sowie Positioniermarken (Bild 3) zu Dice zu kombinieren, die dann beliebig oft plaziert werden können.

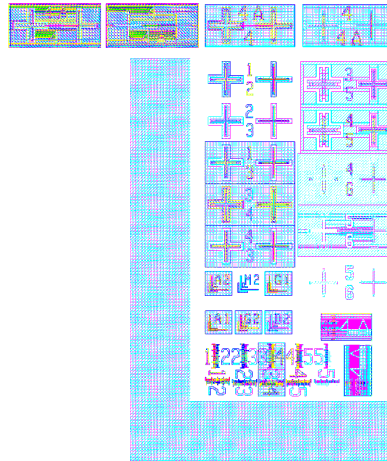


Bild 3: Positioniermarken und Vernierelemente zur Feinpositionierung der einzelnen Lithographieebenen, sowie großes L zum Groben Ausrichten.

## 2.1 Doppelgate-Transistoren

Die HEMTs wurden in koplanarer Struktur mit festem Rastermaß von  $125\text{ }\mu\text{m}$  zwischen den Source-, Gate- und Drainkontakten entworfen, um die Testung auf dem Wafer zu vereinfachen.

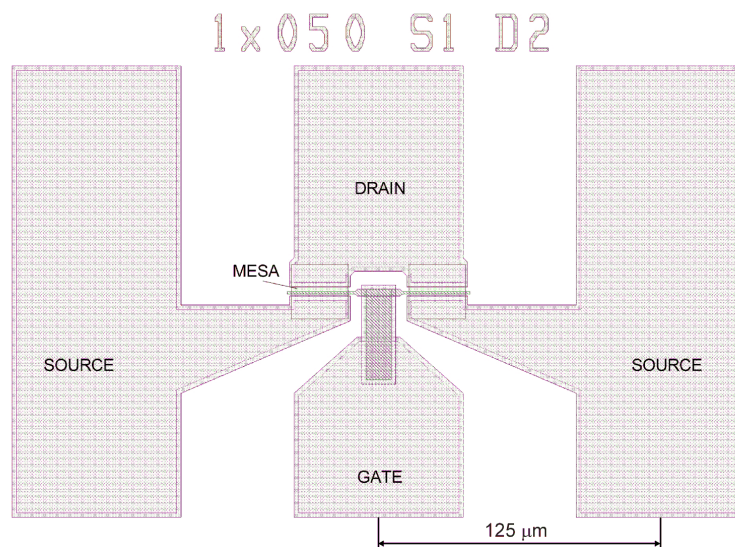


Bild 4: Layout eines Doppelgate-HEMTs mit  $1\text{ }\mu\text{m}$  Gatelänge und einer Gatebreite von  $2 \times 25\text{ }\mu\text{m}$ . Das Rastermaß zwischen Drain und Source bzw. Drain und Gate beträgt  $125\text{ }\mu\text{m}$ . Der Gate-Source Abstand beträgt  $1\text{ }\mu\text{m}$ , die Distanz des Gates zum Drain  $2\text{ }\mu\text{m}$ . Bezeichnet sind die Kontaktflächen von Drain, Source und Gate. Die eigentliche Gateebene wird durch das grün schraffierte Gebiet symbolisiert.

Bild 4 zeigt das Layout eines Bauelementes mit einer Gatelänge von  $1\text{ }\mu\text{m}$  und einer Gatebreite von  $2 \times 25\text{ }\mu\text{m}$  (Doppelgate). Für das dargestellte Bauelement beträgt der Abstand des Gates zum Drain im aktiven Gebiet  $2\text{ }\mu\text{m}$ , während Gate und Source  $1\text{ }\mu\text{m}$  voneinander entfernt liegen. Weiterhin wurden Bauelemente mit  $2\text{ }\mu\text{m}$  Gatelänge, sowie mit einer Gateperipherie von  $200\text{ }\mu\text{m}$  und  $300\text{ }\mu\text{m}$  entworfen. Insgesamt werden zur Herstellung der Doppelgate-Transistoren vier Lithographieebenen benötigt: Die erste dient der Definition von Positioniermarken und Bezeichnungen der einzelnen Bauelemente, während die zweite die Mesas der Transistoren erzeugt. In der dritten Ebene erfolgt die Herstellung der ohmschen Kontakte für Source und Drain sowie der Kontaktfläche für das Gate. Die vierte und letzte Ebene erzeugt das Gate selbst.

## 2.2 HEMTs mit großer Gateperipherie

Da das Hauptinteresse der Arbeit der Herstellung von Leistungstransistoren galt, wurden neben den kleinen Doppelgatetransistoren auch Bauelemente mit großer Gateperipherie entworfen. Hierfür kam ein Multifinger-Design ähnlich einer Fischgräte zur Anwendung, so dass im Prinzip eine Vielzahl von Doppelfingertransistoren parallel geschaltet werden.

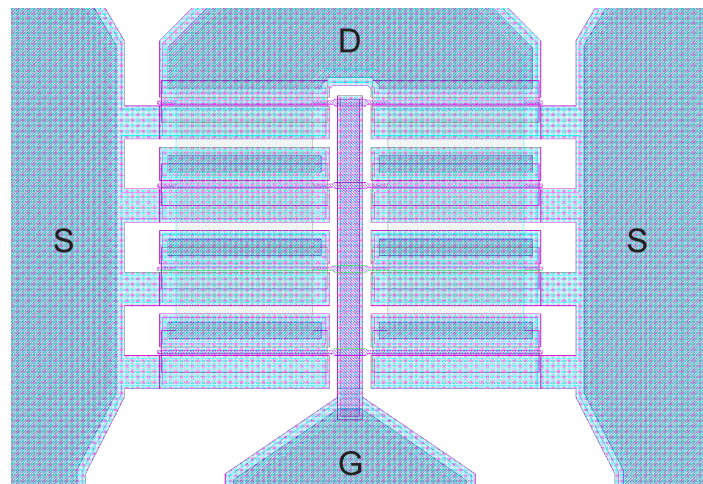


Bild 5: Ausschnitt eines Multifinger-Transistors mit einer Gateperipherie von  $0,8\text{ mm}$ . Bezeichnet sind die Kontaktflächen von Drain (D), Source (S) und Gate (G). Vom Drainkontakt aus überspannt eine Luftbrücke (blaue Schraffur) die Struktur, um die Drainflächen der parallel geschalteten Bauelemente zu verbinden.



Um dies zu realisieren, werden die einzelnen parallel zu schaltenden Transistoren von beiden Seiten der Struktur her sourceseitig kontaktiert, während die Gates in der Mitte zu einem Sammelbus zusammenlaufen (Bild 5). Die Drainverbindungen hingegen können nicht in derselben Waferebene erzeugt werden wie Source und Gate, sondern müssen mittels einer Luftbrückentechnik (air bridges) realisiert werden. Hierzu sind neben den vier Lithographieebenen, die oben beschrieben wurden, zwei weitere nötig. Die insgesamt fünfte Ebene definiert dabei die Brückenpfeiler (pillars), während die sechste die eigentliche Brücke erzeugt.

Auch die großen Bauelemente wurden mit einem festen Rastermaß zwischen den Kontakten entworfen. Es beträgt in diesem Fall 250  $\mu\text{m}$ . Außerdem wurde der Abstand zwischen den Kontaktflächen so gewählt, dass eine 50  $\Omega$ -Anpassung bei 2 GHz erreicht wird.

## **3 Herstellungstechnologie**

### **3.1 MBE-Wachstum der Heterostruktur**

Die zur Bauelementeherstellung verwendete GaN/AlGaIn/GaN Heterostruktur wurde von Michael Manfra mittels plasmaunterstützter Molekularstrahlepitaxie (plasma assisted molecular beam epitaxy, MBE) gewachsen. Als Substratmaterialien kamen sowohl 6H-SiC als auch 4H-SiC zur Anwendung. Auch wenn es sich bei Siliziumkarbid um ein vergleichsweise teures Substratmaterial handelt, basierte die Entscheidung für das Material vor allem auf dessen hoher thermischer Leitfähigkeit, was besonders für die Wärmeabfuhr bei Leistungstransistoren von Wichtigkeit ist. Des weiteren beträgt die Gitterfehlانpassung zu GaN lediglich 3% (für Saphir 14%), so dass man versetzungsarme GaN-Pufferschichten realisieren kann, was die elektronischen Eigenschaften der Heterostruktur entscheidend verbessert. Wird  $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$  gewachsen, kann durch die Wahl des Aluminiumgehaltes  $x$  der Bandabstand sowie die Gitterkonstante kontinuierlich variiert werden. Bild 6 verdeutlicht die Zusammenhänge.

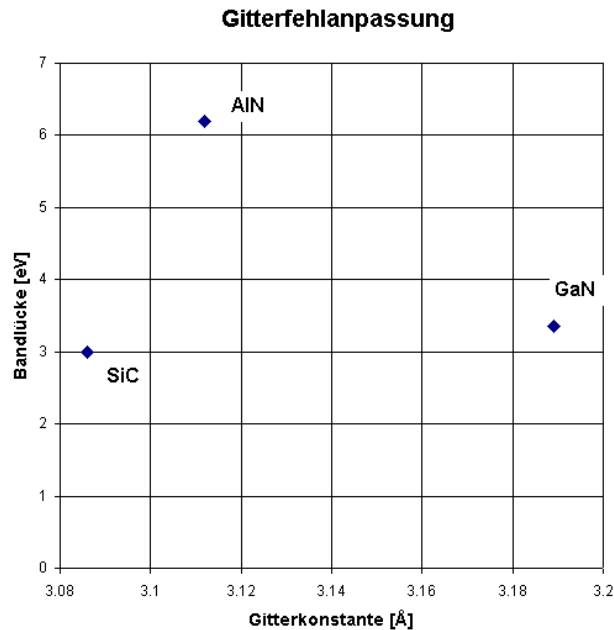


Bild 6: Gitterkonstanten und Bandabstände im System AlGaN/GaN mit dem Substratmaterial SiC.

Generell handelt es sich um so genannte pseudomorphe Heterostrukturen, d.h. zwischen der GaN-Pufferschicht und der darüberliegenden AlGaN-Schicht ist eine geringe Gitterfehlانpassung erwünscht, die zu einer Verspannung führt. Hierdurch kommt es zur Ausbildung von piezoelektrisch induzierten, internen elektrischen Feldern am Heteroübergang und in der Folge zur Influenz des zweidimensionalen Elektronengases.

III-V-Halbleiter zeichnen sich durch das Vorhandensein einer A- und B-Seite aus, je nach dem, welches Atom die Oberfläche abschließt. Für GaN spricht man in diesem Zusammenhang von Ga- oder N-Polarität. Wie von Ambacher et al. [6] beschrieben, bildet sich in beiden Fällen am Übergang GaN-AlGaN ein 2DEG aus. Im Fall von Ga-Polarität jedoch erhält man eine höhere Oberflächenqualität sowie eine höhere Elektronenbeweglichkeit im 2DEG. Allerdings erfordert diese Struktur das Wachsen einer AlN-Keimschicht mit einer Dicke von 30 bis 60 nm, bevor der ca. 2  $\mu\text{m}$  dicke, semiisolierende GaN-Puffer gewachsen werden kann. Wie im Bild 7 dargestellt, folgt auf diesen die AlGaN-Barriere von 30 bis 40 nm, sowie eine GaN-Kappe (5 nm). Die obere Hälfte der Barriere sowie die Kappe sind mit  $1 \times 10^{18} \text{ cm}^{-3}$  Siliziumatomen dotiert. Mit

dieser Heterostruktur wurden Elektronenbeweglichkeiten von  $1400 \text{ cm}^2/\text{Vs}$  bei einer Flächenladungsdichte von  $1,2 \times 10^{13} \text{ cm}^{-2}$  erreicht.

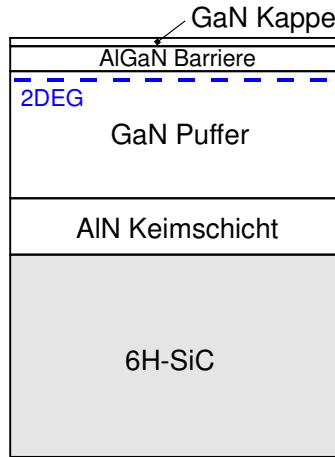


Bild 7: Aufbau der mittels MBE gewachsenen GaN/AlGaIn/GaN Heterostruktur.

### 3.2 Definition der Transistormesas

Nachdem in einem ersten Lithographieschritt Positioniermarken gesetzt werden, besteht der nächste Prozess in der Definition der Transistormesas. Diese dienen der gegenseitigen elektrischen Isolierung benachbarter Bauelemente, indem das 2DEG unterbrochen wird.

Zu diesem Zweck wird auf den Wafer Fotolack AZ5214 aufgeschleudert und anschließend auf einer Heizplatte gebacken, um die Lösungsmittel auszutreiben. Danach folgt das Belichten auf einem Karl Süss Kontaktbelichter, sowie das Entwickeln des belichteten Resists. Anschließend werden in einem Trockenätzprozess im induktiv gekoppelten Chlor/Argon-Plasma die Mesas bis zu einer Höhe von ca. 100 nm herausgearbeitet, so dass sich eine Struktur ergibt, wie sie im Bild 8 dargestellt ist.

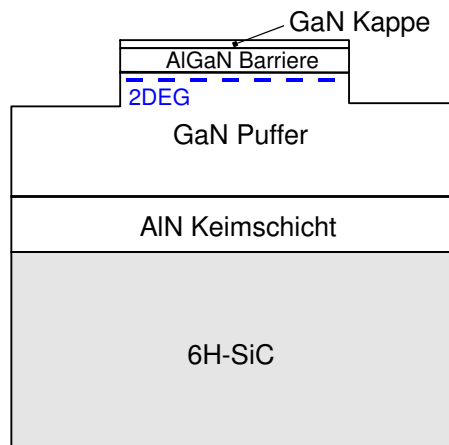


Bild 8: Heterostruktur nach dem Mesa-Ätzen im induktiv gekoppelten Plasma. Zur elektrischen Isolierung benachbarter Bauelemente wird das 2DEG unterbrochen.

Zuletzt wird die Lackmaske durch Besprühen mit Aceton entfernt. Bei diesem Prozess trat anfangs das Problem auf, dass an den Rändern der Mesas Fotolackrückstände übrig blieben, die sehr schwer zu entfernen waren. Diese Schwierigkeiten konnten ausgeräumt werden, indem anstatt des Shipley S1818 nunmehr der Fotoresist AZ5214 verwendet wird.

### 3.3 Erzeugen der ohmschen Kontakte

Der nächste Schritt besteht in einem Image Reversal-Prozess, um schräge, überhängende Resistkanten zu erzeugen, so dass das Metall der ohmschen Kontakte mittels Lift-off-Technik strukturiert werden kann.

Dazu wird Fotolack AZ5206 aufgeschleudert und in einem ersten Schritt bei 85 °C gebacken. Dann erfolgt die Belichtung, um die Struktur der Kontakte zu definieren. Der Wafer wird nun ein zweites Mal bei 120 °C gebacken und anschließend einer langen Flutbelichtung unterzogen, so dass das Bild umgekehrt wird. Anschließend wird der Resist entwickelt.

Vor dem Verdampfen des Metalls der Kontakte, ein Stapel aus 20 nm Ti, 100 nm Al, 45 nm Ni und 55 nm Au, hat es sich als vorteilhaft erwiesen, die Proben in einem Sauerstoffplasma von organischen Rückständen zu befreien. Um aber nicht mit einem herkömmlichen Reaktiven Ionenätzen (RIE) Plasmaschäden am 2DEG zu riskieren, wurde ein Mikrowellenplasma gewählt. Dieser Prozess wird in einer Anlage der Firma Tepla durchgeführt.

Nach dem Elektronenstrahl- bzw. thermischen Verdampfen der Metalle erfolgt der Lift-off. Dazu wird der Wafer für längere Zeit in erwärmtes N-Methyl-Pyrrolidon (NMP) gegeben. Hierbei handelt es sich um ein organisches Lösungsmittel, wie es auch in kommerziell erhältlichen Resiststrippern verwendet wird.

Das Anlegieren der Metalle erfolgt in einem Rapid Thermal Annealing-Prozess (RTA) in einer Anlage der Marke Jipelec. Der Wafer wird in Stickstoffatmosphäre für 30 Sekunden auf 700 bis 750 °C erwärmt und für weitere 30 Sekunden auf dieser Temperatur gehalten, wonach die Probe wieder auf Raumtemperatur abgekühlt wird. In Bild 9 ist die Mesostruktur dargestellt, wie man sie nach dem Prozess erhält.

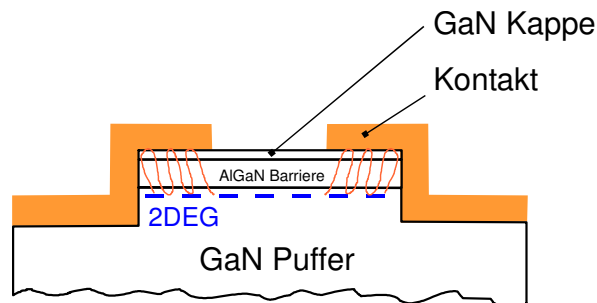


Bild 9: Formation der ohmschen Kontakte.

Die elektrische Charakterisierung der Kontakte geschieht mittels Transmission Line-Messungen (TLM). Hierzu werden auf dem Wafer Mesostrukturen mit ohmschen Kontakten der Breite  $W = 100 \mu\text{m}$  und verschiedenen Abständen  $S$  definiert (Bild 10). Der Widerstand zwischen jeweils benachbarten Kontakten wird mittels Vierspitzenmethode gemessen und durch lineare Regression der Kontaktwiderstand  $R_T$  sowie die Transferlänge  $\lambda$  ermittelt, Bild 11. Daraus kann mit den angegebenen Gleichungen der Schichtwiderstand  $R_S$  und der spezifische Kontaktwiderstand  $R_C$  berechnet werden.

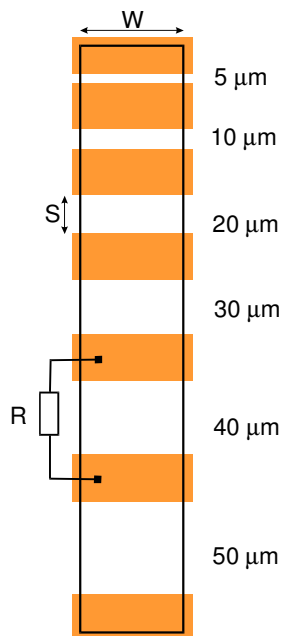


Bild 10: Teststruktur zur TLM-Messung.

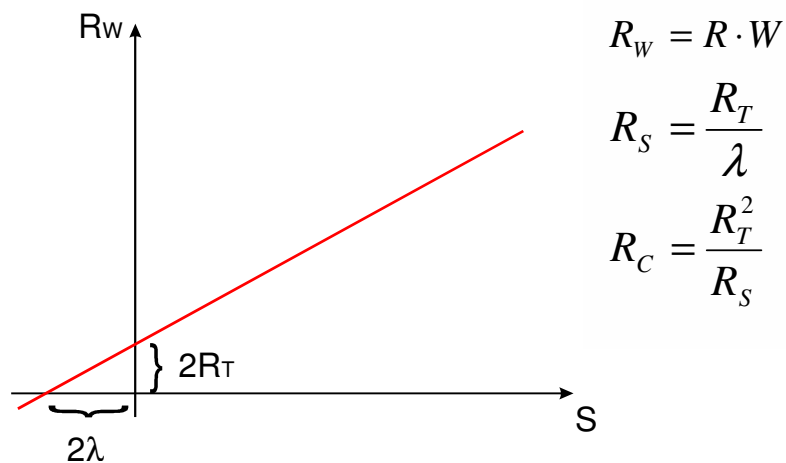


Bild 11: Ermittlung des Kontaktwiderstandes  $R_T$  und der Transferlänge  $\lambda$ .

Für den Kontaktwiderstand  $R_T$  werden mit dieser Technologie im allgemeinen Werte zwischen 0,4 und 0,6  $\Omega\text{mm}$  erhalten, während der Schichtwiderstand in der Größenordnung von 350 bis 400  $\Omega/\square$  liegt. Daraus ergeben sich Werte für den spezifischen Kontaktwiderstand  $R_C$  von  $8 \times 10^{-6}$  bis  $4 \times 10^{-5} \Omega\text{cm}^2$ .

### 3.4 Formation der Schottky-Gates

Im vierten Lithographieschritt werden die Gates definiert. Deren Metallisierung besteht aus einer Kombination von 30 nm Ni und 300 nm Au, so dass sich eine Schottky-Barriere von 1,05 eV ergibt.

Auch hierfür wird der oben beschriebene Image Reversal-Prozess verwendet. Jedoch sind die Strukturbreiten in diesem Fall wesentlich kleiner als bei den ohmschen Kontakten, denn es sollen minimale Linienbreiten von 1  $\mu\text{m}$  erzeugt werden. Dazu ist eine möglichst planare Waferoberfläche von besonderer Wichtigkeit. Während der Optimierung der Prozesse hat sich gezeigt, dass nicht nur die anlegierten ohmschen Kontakte zur Vergrößerung der Topographie beitragen, sondern auch und vor allem die im ersten Schritt erzeugten Positioniermarken. Ursprünglich wurde dafür eine Metallisierungsvariante von 10 nm Ti und 300 nm Au verwendet. Besonders in den Bereichen der großen Ls (Bild 3) jedoch wirft das Gold beim Legieren der ohmschen Kontakte Blasen, die eine gute Lithographie für die 1  $\mu\text{m}$  kurzen Gates sehr erschweren. Wird hingegen nur eine Dicke von 50 nm Au für die Marken verwendet, können selbst 1  $\mu\text{m}$  breite Gates mit guter Reproduzierbarkeit definiert werden. In Bild 12 ist exemplarisch ein Transistor mit einer Gatebreite von 50  $\mu\text{m}$  sowie einer Gatelänge von 2  $\mu\text{m}$  dargestellt. Es handelt sich um ein Doppelfinger-Bauelemente ohne Luftbrücken. Deutlich ist die raue Oberfläche der anlegierten Kontakte für Source und Drain, sowie der Kontaktfläche des Gate zu erkennen.

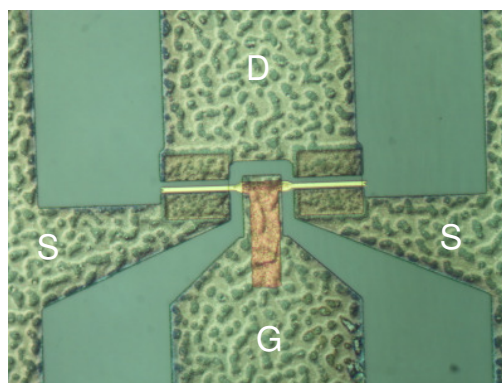


Bild 12: Doppelfinger-HEMT mit einer Gatelänge von 2  $\mu\text{m}$  und einer Gesamtperipherie von 50  $\mu\text{m}$ . Bezeichnet sind die Kontaktflächen von Source (S), Drain (D) und Gate (G).

### 3.5 Lithographie und elektrochemisches Metallisieren der Luftbrücken

Mit den vier oben beschriebenen Prozessschritten können funktionstüchtige Doppelgatetransistoren erhalten werden. Für Multifingerbauelemente hingegen müssen noch die Verbindungen der Drainkontakte der parallel zu schaltenden Transistoren hergestellt werden, wie in Bild 13 verdeutlicht.

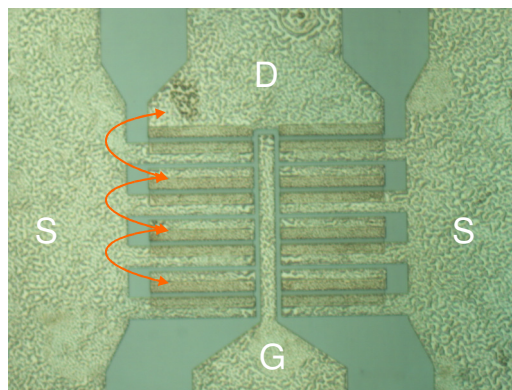


Bild 13: Struktur eines Multifinger-Transistors nach der Metallisierung der ohmschen Kontakte. Bezeichnet sind Source (S), Drain (D) und Gate (G); die Pfeile verdeutlichen die zu definierenden Luftbrücken zur Herstellung der Drainverbindungen.

Dazu sind zwei weitere Lithographieschritte nötig. In einem ersten Prozess wird Fotolack, Shipley S1818, zu einer Dicke von 4 bis 4,5  $\mu\text{m}$  aufgeschleudert, und mittels positiver Lithographie werden die zu kontaktierenden Draingebiete freigelegt. Um später Brückenbögen zu erhalten, wird die Resiststruktur im Ofen bei höherer Temperatur für ca. 15 min gebacken. Dabei beginnt der Resist zu fließen und bildet typische Höcker wie in Bild 14 dargestellt.

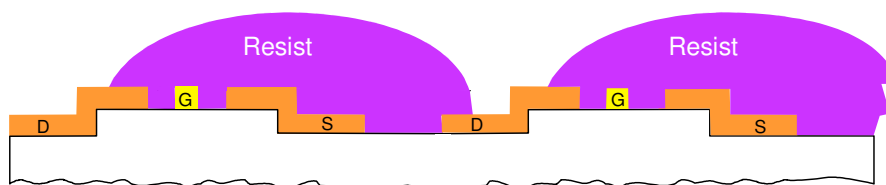


Bild 14: Definition der Brückenpfeiler und -bögen durch Lithographie und anschließendes Backen der Resiststruktur.

In einem nächsten Schritt wird auf die so erhaltene Struktur die Startschicht für das galvanische Abscheiden des Goldes zum Aufbau der Brücken abgeschieden. Dies



geschieht durch Elektronenstrahlverdampfen von 5 nm Ti und 20 nm Au. Während der Entwicklung des Prozesses hat es sich gezeigt, dass Titan als besonders effizienter Haftvermittler dient, wobei sich eine Schichtdicke von 5 nm als optimal erwiesen hat. Ohne diese Schicht kam es gelegentlich dazu, dass sich am Ende der Prozesse die Brücken ganz oder teilweise vom Wafer lösten.

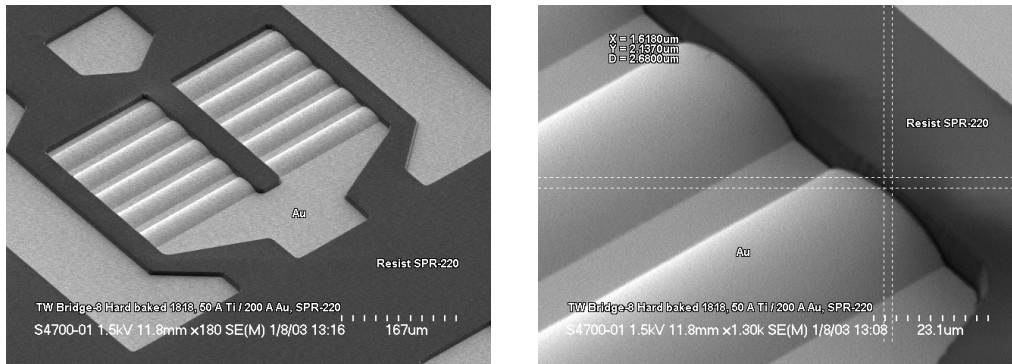


Bild 15: Rasterelektronenmikroskopische Aufnahme der Resiststruktur unmittelbar vor dem Galvanisieren der Brücken. Zu sehen ist die Brückengeometrie im Resist SPR220-4.5 sowie die darunter liegenden Brückenbögen mit Ti/Au Startschicht.

Bevor jedoch der elektrochemische Prozess erfolgt, muss in einem zweiten Lithographieschritt die eigentliche Brückengeometrie definiert werden. Dazu wird Shipley SPR220-4.5 zu einer Dicke von 4,5 bis 5 µm aufgeschleudert, so dass sich eine Gesamthöhe der Strukturen von ca. 9 µm ergibt. Dieser Fotoresist bildet beim Entwickeln steile Seitenkanten, so dass eine gute Begrenzung der Brücken beim späteren Galvanikprozess erreicht wird. Die so erhaltene Struktur zeigt Bild 15.

Im nun folgenden elektrochemischen Metallisierungsprozess wird die Brückenstruktur aufgebaut und durchschnittlich 4 bis 5 µm Gold abgeschieden. Hierzu wird ein kommerziell erhältliches Galvanikbad, TechniGold-25 der Firma Technic, Inc. verwendet. Diese Chemikalie hat sich als sehr stabil im Hinblick auf die erhaltenen Abscheideraten des Goldes und ihre sonstigen Eigenschaften erwiesen. Außerdem ist sie, anders als viele andere derartige Bäder, nicht zyanidbasiert.

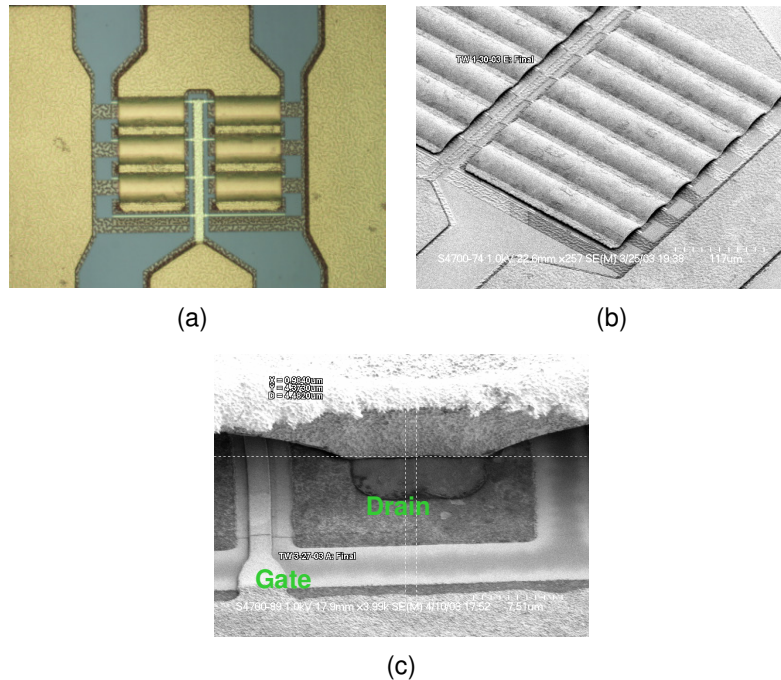


Bild 16: Lichtmikroskopische Aufnahme eines Multifinger-Transistors mit 0,8 mm Gaterperipherie (a), sowie rasterelektronenmikroskopische Fotos (b), (c) eines 4 mm-Bauelementes. Bild (c) zeigt einen Brückenpfeiler sowie Brückenbögen, die jeweils das Gate und den Sourcekontakt überspannen, in Nahaufnahme.

Zuletzt wird der Verbund der beiden Resistschichten mit der Ti/Au Startschicht vom Wafer entfernt. Dazu wird zunächst der obere Fotolack SPR220-4.5 in Aceton gelöst, bevor die Goldschicht in Iod-Kaliumiodid-Lösung (Transene Gold Etch Type TFA) geätzt werden kann. Die darunterliegende Lackmaske, bestehend aus gehärtetem S1818, entfernt man in erhitztem NMP. Abschließend wird der Wafer mit Aceton abgesprüht, in Isopropanol gespült und mit Stickstoff trocken geblasen. Im Ergebnis erhält man Strukturen, wie sie Bild 16 dargestellt.

## 4 Elektrische Eigenschaften der Bauelemente

### 4.1 Gleichstromverhalten

Für die Doppelgatetransistoren wurde ein maximaler Drainstrom von 1100 mA/mm sowie durchschnittliche Werte von 1000 mA/mm ermittelt, wobei die Kniespannung im allgemeinen um 7 V liegt, wie im Bild 17 dargestellt. Die entsprechend  $g_m = dI_D/dV_{GS}$  berechnete Steilheit liegt zwischen 120 und 140 mS/mm, Bild 18.

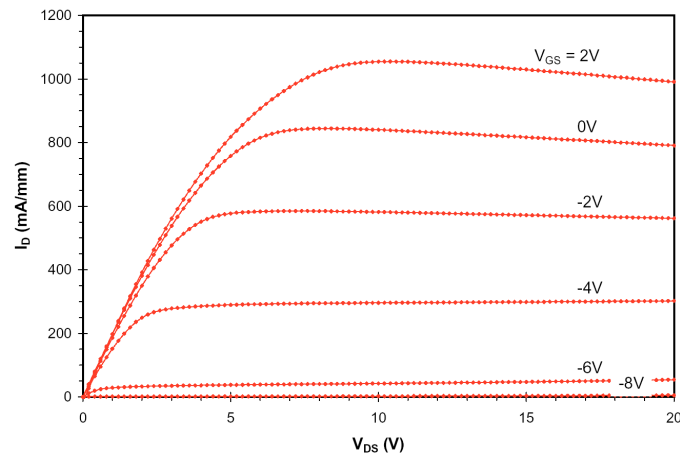


Bild 17: Ausgangskennlinien für ein Bauelement mit einer Gatelänge von 2 µm, einer Peripherie von 150 µm und einem Drain-Source-Abstand von 6 µm. Der maximale Drainstrom beträgt 1055 mA/mm.

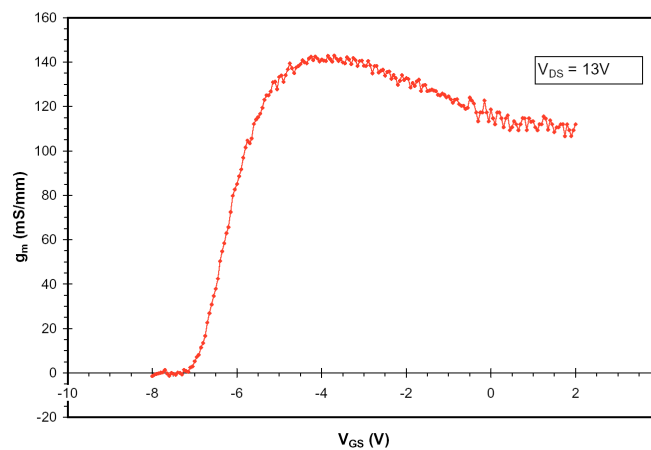


Bild 18: Steilheit  $g_m$  für dasselbe 150 µm-Bauelement wie in Bild 17, gemessen bei einer Drain-Source-Spannung von 13 V.

An den Ausgangskennlinien wird deutlich, dass es sich um Bauelemente vom Verarmungstyp handelt. Das 2DEG, welches auch ohne Gatespannung präsent ist, da es aufgrund der internen elektrischen Felder influenziert wird, wird durch Gatespannungen, die kleiner sind als die Schottkybarriere, in den semiisolierenden GaN-Puffer zurückgedrängt, so dass das Bauelement abgeschnürt wird.

Die Messwerte wurden durch Messungen auf dem Wafer mit einem Nadeltester und Agilent 4156B Parameteranalysator erhalten.

Für die Multifinger-Transistoren konnten umfassende On-Wafer-Messungen nur bis zur einer Peripherie von 0,4 mm durchgeführt werden. Die Untersuchung größerer Bauelemente mit einer Gesamtgatebreite von bis zu 4 mm steht noch aus und wird erfolgen, sobald die Transistoren gehäust worden sind. Vorläufige Daten zeigen jedoch, dass die Charakteristiken gut mit der Bauelementgröße skalieren, was auf die gute Wärmeleitfähigkeit des SiC-Substrates sowie auch auf die Wärmeableitung durch die Goldbrücken zurück geführt wird. In Bild 19 ist das gemessene Ausgangskennlinienfeld eines HEMTs mit einer Peripherie von 0,4 mm dargestellt. Der maximale Drainstrom von 415 mA korrespondiert mit einer Drainstromdichte von 1037 mA/mm, was nahezu dem Wert entspricht, der für Doppelgatetransistoren ermittelt wurde. Diese Messungen erfolgten auf dem Wafer mit einer HP 4142B Spannungsquelle und dem Analyseprogramm Metrics.

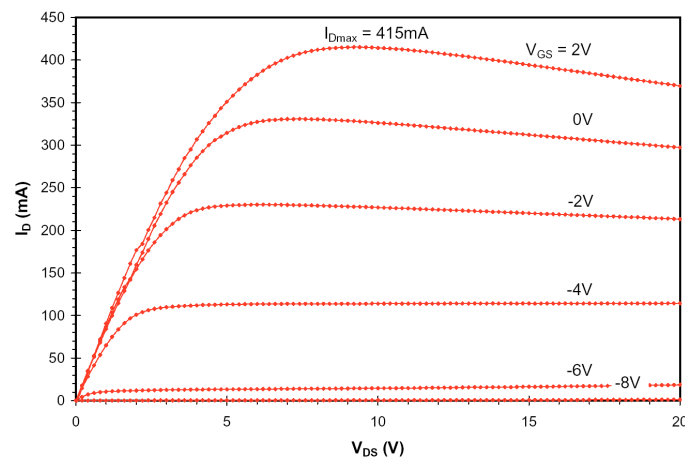


Bild 19: Ausgangskennlinienfeld eines Multifinger-HEMTs mit 0,4 mm Gesamtperipherie und einer Gatelänge von 2  $\mu\text{m}$ . Der maximale Drainstrom von 415 mA entspricht einer Drainstromdichte von 1037 mA/mm.

Um den Effekt der Draindispersion bzw. des Drainstromkollaps bei Großsignalaussteuerung zu untersuchen, wurden zusätzlich zu obigen Standardmessungen gepulste Strom-Spannungs-Messungen vorgenommen. Dazu wird eine Gleichspannung von 14 V an den Drainkontakt angelegt, während Source auf Masse liegt. Das Gate wird nun von pinch-off ( $V_{GS} = -8\text{ V}$ ) bis zu  $V_{GS} = 0\text{ V}$  gepulst und der Zeitverlauf des Drainstromes gemessen. Dieser wird mit dem Wert für den Gleichstromfall bzw. eingeschwungenen Zustand verglichen. Für die siliziumdotierten

Strukturen ergibt sich nach einer Zeit von 1  $\mu\text{s}$  eine Erholung von 95% des Gleichstromwertes, Bild 20. Vergleichbare Bauelemente, die undotiert waren, erbrachten lediglich 70% [7].

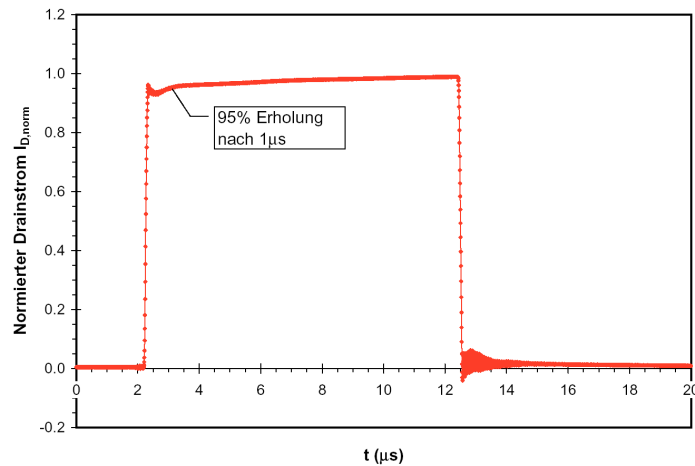


Bild 20: Zeitverlauf des Drainstromes bei gepulster Gatespannung von  $V_{GS} = -8 \text{ V}$  zu  $0 \text{ V}$ , normiert auf den Drainstrom im eingeschwungenen Zustand. Die Drain-Source-Spannung beträgt  $14 \text{ V}$ .

## 4.2 Großsignalverhalten

Zur Untersuchung des Großsignalverhaltens wurden die Bauelemente als A-Verstärker im Gigahertzbereich betrieben. Die Messungen erfolgten an einem automatischen Load-Pull-Messplatz der Marke ATN. Im cw-Betrieb bei einer Frequenz von  $2 \text{ GHz}$  zeigten HEMTs mit einer Gatelänge von  $1 \mu\text{m}$  eine Ausgangsleistung von mehr als  $8 \text{ W/mm}$ , kombiniert mit einer Effizienz (Power Added Efficiency, PAE) von  $41\%$ . Außerdem wurde auch bei diesen Untersuchungen nur eine geringe Hochfrequenzdispersion des Gleichanteils des Drainstromes festgestellt, was u.a. auf den Einfluss der Siliziumdotierung der Heterostruktur zurückgeführt wird. Dieses Verhalten ist besonders bemerkenswert, wenn man bedenkt, dass die Bauelemente nicht passiviert wurden. Auch in diesem Fall stehen die Untersuchungen der Multifinger-Bauelemente noch aus, da On-Wafer-Messungen nur an Doppelgate-Transistoren vorgenommen werden konnten.

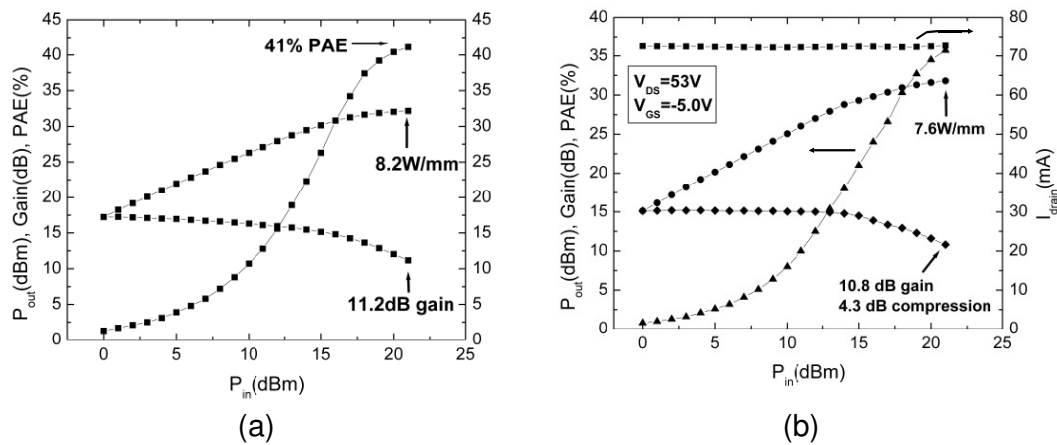


Bild 21: Load-Pull-Messungen bei 2 GHz an HEMTs mit einer Peripherie von 200  $\mu$ m und Gatelängen von 1  $\mu$ m (a) und 2  $\mu$ m (b). Am Bauelement in Bild (a) wurde ein Arbeitspunkt von  $V_{DS} = 45$  V und  $V_{GS} = -4,7$  V eingestellt, wobei eine Leistungsdichte von 8,2 W/mm ermittelt wurde. Die Effizienz beträgt 41%. Exemplarisch zeigt Bild (b) das Verhalten eines 1  $\mu$ m-Transistors mit vernachlässigbarem Drainstromkollaps.

## 5 Zusammenfassung und Dank

Während des Fachpraktikums bei Lucent Technologies – Bell Laboratories wurden High Electron Mobility Transistoren entworfen, hergestellt und elektrisch charakterisiert. Für das Maskendesign kam hierbei das CAD-Programm LasiCAD zu Einsatz. Insgesamt wurden bis zu sechs Lithographieebenen benötigt.

Die Herstellung geschah unter Reinraumbedingungen und unter Nutzung einer vorhandenen Technologie für Bauelemente mit kleiner Peripherie (Doppelgate-Transistoren), die teilweise optimiert wurde. Außerdem wurden Prozesse zur Herstellung von Multifinger-HEMTs entwickelt, wobei die Metallisierung der Drainkontakte mittels Electroplating von Gold vorgenommen wurde.

Abschließend wurden sowohl Gleichstromcharakteristiken, d.h. die Ausgangskennlinienfelder und Verläufe der Steilheit, als auch das Großsignalverhalten für cw-Operation bei 2 GHz gemessen. Dabei ergaben sich maximale Drainströme von bis zu 1100 mA/mm und Leistungswerte größer als 8 W/mm. Außerdem zeigten die unpassivierten Transistoren nur geringe Tendenz zum Drainstromkollaps bei Großsignalaussteuerung.

Während des Praktikums entstanden folgende Veröffentlichungen:

- N. G. Weimann, M. J. Manfra und T. Wächtler, “Unpassivated AlGa<sub>N</sub>-Ga<sub>N</sub> HEMTs With Minimal RF Dispersion Grown by Plasma-Assisted MBE on Semi-Insulating 6H-SiC Substrates”, *IEEE Electron Device Letters*, Bd. 24, Nr. 2, 57-59 (2003)
- T. Waechtler, M. J. Manfra, N. G. Weimann und O. Mitrofanov, “High Power GaN/AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs Grown by Plasma-Assisted MBE Operating at 2 to 25 GHz”, Posterpräsentation, 61<sup>st</sup> Device Research Conference, University of Utah, Salt Lake City, 22. bis 25. Juni 2003
- M. J. Manfra, N. G. Weimann, O. Mitrofanov, T. Waechtler und D. M. Tennant, “High Power GaN/AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs operating at 2 to 25 GHz grown by plasma-assisted MBE”, *physica status solidi (a)*, akzeptiert zur Veröffentlichung (2003)

Der Autor möchte seinen Betreuern, Nils Weimann und Michael Manfra, und ebenso Kirk Baldwin für ihre Hilfe danken. Außerdem dankt er für die finanzielle Unterstützung durch die Studienstiftung des deutschen Volkes und die Dr. Jürgen Ulderup-Stiftung.

## Literaturverzeichnis

- [1] F. Bernardini, V. Fiorentini und D. Vanderbilt, "Spontaneous polarization and piezoelectric constants of III-V nitrides", *Physical Review B*, Bd. 56, Nr. 16, R10024-R10027 (1997)
- [2] S. Yngvesson, *Microwave Semiconductor Devices*, Kluwer Academic Publishers, Boston, Dordrecht, London, 1991
- [3] O. Manasreh (Hrsg.), *III-Nitride Semiconductors: Electrical, Structural and Defects Properties*, Elsevier, Amsterdam et al., 2000
- [4] M. J. Manfra, N. G. Weimann, J. W. P. Hsu, L. N. Pfeiffer, K. W. West, S. Syed, H. L. Stormer, W. Pan, D. V. Lang, S. N. G. Chu, G. Kowach, A. M. Sergent, J. Caissie, K. M. Molvar, L. J. Mahoney und R. L. Molnar, "High-mobility AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures grown by molecular-beam epitaxy on Ga<sub>N</sub> templates prepared by hydride vapor phase epitaxy", *Applied Physics Letters*, Bd. 77, Nr. 18, 2888-2890 (2000)
- [5] LASI Home Site, <http://members.aol.com/lasicad/>, 5. Juli 2003
- [6] O. Ambacher, B. Foutz, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, A. J. Sierkowski, W. J. Schaff, L. F. Eastman, R. Dimitrov, A. Mitchell und M. Stutzmann, "Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures", *Journal of Applied Physics*, Bd. 87, Nr. 1, 334-344 (2000)
- [7] O. Mitrofanov, M. Manfra und N. Weimann, "Impact of Si doping on radio frequency dispersion in unpassivated Ga<sub>N</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> high-electron-mobility transistors grown by plasma-assisted molecular-beam epitaxy", *Applied Physics Letters*, Bd. 82, Nr. 24, 4361-4363 (2003)